

Синицкий М.В.  
НТУУ «КПИ», ФЭЛ

## Способы реализации и режимы работы программных умножителей на программируемых логических матрицах семейства FPGA

В настоящее время существует три различных способа реализации умножителей, с использованием ресурсов программируемых логических матрицах (ПЛИС) семейства FPGA: реализация на встроенных специализированных блоках цифровой обработки сигналов, которые фактически представляют аппаратные умножители, реализация на различных блоках памяти и реализация на логических элементах.

При выборе ПЛИС для реализации умножителей и полностью законченных систем на кристалле следует обратить внимание на технико-экономические показатели и наличие САПР. При анализе этих параметров несомненным лидером является фирма Altera, которая выпускает различные семейства ПЛИС: Stratix, Stratix II, Stratix GX, Cyclone, и Cyclone II, а также средство разработки Quartus II, которое объединяет в себе проектирование, синтез, размещение элементов, трассировку соединений и верификацию, связь с системами проектирования других производителей.

При реализации умножителей наиболее важным критерием является быстродействие и возможность изменения структуры. Один из лучших способов реализации умножителя является их построение с использованием блоков памяти. Такой вариант решения задачи позволяет применять умножители даже в тех семействах ПЛИС, в которых отсутствуют DSP блоки, с сохранением гибкости и быстродействия системы.

Все вышеперечисленные семейства ПЛИС предоставляют разработчику три различных типа блоков памяти: M512 ( $32 \times 18$  бит), M4K ( $128 \times 36$  бит), и MRAM ( $4K \times 144$  бит). У каждого блока памяти существует возможность индивидуальной конфигурации (к примеру, блок M512 может быть сконфигурирован так:  $512 \times 1$ ,  $256 \times 2$ ,  $128 \times 4$ ,  $64 \times 9$  и  $32 \times 18$ ).

Использование встроенных блоков памяти позволяет экономить логические ресурсы матрицы и реализовать умножители на этих блоках с помощью таблиц истинности (LUT). В этом случае результаты умножения содержатся в блоках памяти, а входные операнды являются адресами ячеек памяти. Программные умножители, реализованные таким образом, являются очень быстродействующими, но ресурсоемкими.

Программные умножители, реализованные на блоках памяти, поддерживают пять режимов работы: режим параллельного умножения, режим псевдопараллельного умножения, режим суммы произведений, режим гибридного умножения и режим полностью переменного умножения.

Каждый режим работы программных умножителей отличается друг от друга способом реализации, поддержкой различных входных данных и коэффициентов, быстродействием и занимаемыми ресурсами ПЛИС.

### Литература

1. [http://altera.com/literature/wp/wp\\_soft\\_mult.pdf](http://altera.com/literature/wp/wp_soft_mult.pdf)
2. <http://altera.com/literature/an/an306.pdf>